

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-079423

(43)Date of publication of application : 24.03.1998

(51)Int.Cl.

H01L 21/76

(21)Application number : 09-225570

(71)Applicant : SIEMENS AG

(22)Date of filing : 08.08.1997

(72)Inventor : WEIGAND PETER

(30)Priority

Priority number : 96 694072 Priority date : 08.08.1996 Priority country : US

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an improved method of manufacturing a semiconductor device in which STI trenches are filled gaplessly and which does not need addition of complicated processes or etch stop to processes.

SOLUTION: This method includes a step of formula isolations between device structures manufactured on a substrate. In this case, active regions and inactive regions are formed on the substrate. In the inactive regions, isolation trenches are formed, and by high density plasma enhanced chemical vapor deposition(HDP-CVD), insulation material layers are formed on the substrate. At that time, shallow trenches are filled with the HDP-CVD layers effectively and substantially without gaps, and the surface of the above substrate is so planarized that the active regions are exposed and by reducing the corrosion of the insulation material in the isolation regions, a substantially uniform topography is formed.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平10-79423

(43)公開日 平成10年(1998)3月24日

(51)Int.Cl.⁶

H01L 21/76

識別記号

庁内整理番号

FI

H01L 21/76

技術表示箇所

L

審査請求 未請求 請求項の数1 FD (全 8 頁)

(21)出願番号 特願平9-225570

(22)出願日 平成9年(1997)8月8日

(31)優先権主張番号 08/694072

(32)優先日 1996年8月8日

(33)優先権主張国 米国(US)

(71)出願人 390039413

シーメンス アクチエンゲゼルシャフト
SIEMENS AKTIENGESELLSCHAFT

ドイツ連邦共和国 ベルリン 及び ミュンヘン (番地なし)

(72)発明者 ベーター ヴァイガント

アメリカ合衆国 ニューヨーク クロートン
オン ハドソン オールド ポスト
ロード ノース 53

(74)代理人 弁理士 矢野 敏雄 (外1名)

(54)【発明の名称】 半導体デバイスの製造方法

(57)【要約】

【課題】 ギャップなくSTIトレンチに充填し、かつ、複雑な処理工程又はエッチストップの付加を必要としない改良された半導体デバイスの製造方法を提供する。

【解決手段】 基板上に製造されたデバイス構造間にアイソレーションを形成する工程を含む半導体デバイスを製造する方法において、基板の上に活性領域及び不活性領域を形成し、不活性領域内にアイソレーショントレンチを形成し、高密度プラズマ強化化学気相成長(HDP-CVD)によって基板上に絶縁材料の層を形成し、その際HDP-CVD層は有効に実質的に如何なるギャップを有せずにシャロートレンチを充填し、かつ前記基板の表面を平坦化して活性領域を露出させる一方、アイソレーション領域内の絶縁材料の腐食を効果的に減少させて、実質的に均一なトポグラフィーを形成する。

【特許請求の範囲】

【請求項1】 基板上に製造されたデバイス構造間にアイソレーションを形成する工程を含む半導体デバイスを製造する方法において、

基板の表面上に活性領域及び不活性領域を形成し、不活性領域内にアイソレーショントレンチを形成し、高密度プラズマ強化化学気相成長(HDP-CVD)によって表面上に絶縁材料の層を形成し、その際HDP-CVD層は有効に実質的に如何なるギャップなしでシャロートレンチを充填し、かつ活性領域を被覆し、かつ前記基板の表面を平坦化して活性領域を露出させる一方、アイソレーション領域内の絶縁材料の腐食を効果的に減少させて、実質的に均一なトポグラフィーを形成することを特徴とする、半導体デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明の技術分野は、一般的には半導体製造方法における改良、より詳細にはシャロー(浅い)トレンチアイソレーション領域をギャップなしで充填する方法及び化学機械的ポリシング法を簡単にする平坦化法(planarization scheme)の使用に関する。

【0002】

【従来の技術】集積回路の寸法は縮小される一方であるので、回路を構成する部品は典型的なチップで利用できる制限されたスペースに対応するために互いに接近して配置されねばならない。一般的研究は半導体基板の単位面積当たりの活性成分の高密度化に向けられているので、回路間の有効なアイソレーションが益々重要になって来た。現代の集積回路技術における回路構成部品の通常のアイソレーションは、半導体基板内にエッチングされかつ二酸化ケイ素のような絶縁材料が充填されるシャロートレンチの形を取る。これらの領域は、一般に当該技術においてはシャロートレンチアイソレーション(STI)領域と称される。STIは、集積回路の活性領域の分離を行い、かつ、所定の集積回路の活性領域は事実上任意の寸法を有することができるので、該STI領域は典型的には寸法が広い範囲内で変動する。

【0003】現代の集積回路の複雑なトポグラフィー

(topography)のために、特に広範囲に変動する幅を有するシャロートレンチを使用する場合には、均一な酸化物フィルを達成する際にしばしば問題が生じる。この問題に立ち向かうために、STIに絶縁材料を充填するため、及びそれにより生じた構造の、均一な平坦なトポグラフィーを得るための平坦化のための多数の方法が開発された。STI充填法は、化学気相成長(CVD)及びプラズマ強化化学気相成長(PECVD)を包含し、これらは材料を蒸気として基板に搬送しかつその上に析出させることができるという利点を有する。付加的に、トレンチ内で直接的に酸化物層を成長させるスパッ

タリング技術又はサーマル技術(例えばシリコンの局所的酸化[LOGOS])もSTI領域に充填するためには有効である。半導体基板の表面を平坦化するためには、平坦化法、例えばレジストエッチバック(REB)法、反応性イオンエッチング(RIE)法、及び化学機械的ポリシング(CMP)法が単独で又は組み合わせて使用される。

【0004】前記STI充填法の全ては、半導体基板において狭いトレンチ及び幅広いトレンチの両者の充填のために使用され成功を納めたが、不完全な充填条件に基づきSTI領域の絶縁材料内に空隙が観察された。従って、現代の集積回路処理法においてSTI領域のためのギャップレス酸化物充填技術のための必要性が存在する。

【0005】ギャップレス酸化物トレンチ充填法に加えて、生じる構造の平坦化を含む現代の集積回路処理においても1つの問題が存在する。高度に平坦化された表面トポグラフィーは、それにより付加的な集積回路構成部品の取付けが可能になりかつより高いデバイス密度が可能となるために望ましい。現代の集積回路構成、特に比較的幅広いトレンチを有するデバイスの形成においては、しばしば複雑化された平坦化法が必要とされる。このことは通常のCVD法により析出された被覆材料は典型的には凹所をその表面形状に従って被覆する、それにより凹所の非平坦構造が複製されるという事実に起因する。このことはこれらの構造において最も明白となる酸化物の腐食に基づく幅広いSTIの平坦化において問題となる。

【0006】この問題を一層明確に例証するために、図1~3は、通常の酸化物析出及び平坦化法を利用した従来の技術の集積回路構造の部分を示す。図1に示された集積回路構造は半導体基板12を有し、該半導体基板は有利にはシリコンウェーハであり、該ウェーハはその上に析出された複数の活性及び不活性構成部品(図示せず)を有していてもよい。集積回路構造10は、このような回路において典型的に存在する広範囲に変動する活性及び不活性領域に相応して、狭いSTI領域14と幅広いSTI領域の両者を有する。更に、基板10はその内部表面に析出された絶縁酸化物層18を有する。典型的には、この酸化物層は、通常の熱CVD酸化技術により析出されている。このような技術は、LPTEOS及びO₃/TEOSを包含する。通常の熱CVD酸化法は、均一な厚さを有する酸化物を形成しない。その代わり、該酸化物層は一般に基板のトポグラフィーに従う(即ち、これは基板内のトレンチに相応する谷及び基板の表面上に存在する任意の表面構造に相応する山を有する)。通常の熱CVD酸化により析出された酸化物層18は、狭いSTI領域14及び16内にギャップ(図示せず)を形成することは公知になっている。

【0007】なお図1に関して説明すれば、酸化物層1

8の上にホトレジストパターン層20が析出されている。このホトレジスト層20の目的は、引き続いてのエッチング工程でこの平坦なトポグラフィーが酸化物トポグラフィーに移行せしめらるるように、全体的及び局所的に平坦な表面を形成する(平坦化材料、例えばホトレジストの二重又は多重の層の被覆後)ことである。

【0008】次に、図2には、通常のエッチバック法を実施した後の図1の集積回路構造10が示されている。ホトレジストも除去されており、この図面には示されていない。エッチバック法は、酸化物層18の一部を除去し、狭いSTI14の上にはほぼ平坦な表面22を、但し幅広いSTI16の上には平坦でないかつノンプレーナトポグラフィーを残す。

【0009】図3は、通常CMP工程を実施した後の、図2の集積回路構造10を示す。CMP工程は典型的には、エッチストップとして窒化ケイ素層(シリコン基板の表面上に存在するが、図示されていない)を使用する。CMP工程は選択的に酸化物層18のみを除去し、基板10は無傷で残す。しかしながら、通常のエッチング及びポリシング技術の問題は、エッチング速度を制御することが困難なことである。長時間のCMP工程は、例えば、特にSTIの最も幅広い部分において、酸化物腐食を惹起することが知られている。図3から見て取れるように、長時間のCMP平坦化工程を使用したSTI平坦化中に、特に幅広いSTI16における、酸化物の腐食は、多くの問題を有する。酸化物層18の表面は平坦でなく、半導体基板12の表面の下に沈下しておりかつ非平坦のトポグラフィーを生じる。この現象は、特に幅広いSTI16内の酸化物層38の中央部28で顕著である。

【0010】基板内に酸化物充填STI領域が形成された後に、高度に平坦化した集積回路構造を提供する問題を解決する試みは、多数の平坦化法を生じ、その若干のものはむしろ精巧な処理工程を必要とする。このような方法の1つは、J. E. Cronin et al. に対して発行されかつInternational Business Machines Corporationに譲渡された、発明の名称“PLANARIZED SEMICONDUCTOR STRUCTURE USING SUBMINIMUM FEATURES”の米国特許第5,453,639号明細書に記載されている。この明細書に記載された平坦化法は、幅広いトレンチの基底から垂直に上に向かって延びる一連のサブミニマム(即ち厚さ50~500 μ m)のシリコンピラーを形成し、次いで該ピラーを酸化することを包含する。基板がCVD酸化物で被覆されると、ピラーはトレンチの上に単一の深い凹所が形成されるのを阻止する。その代わりに、一連の比較的浅い凹所(シリコンピラーの間に位置する)が、該シリコンピラーが設けられなかった場合よりも著しく浅い深さでもって形成される。従って、生じる表面は、平坦化するのが容易である。

【0011】別のあまり複雑でない処理法が、現代の集

積回路における平坦な表面トポグラフィーの製造において処理工程の数を最小にするために提案された。これらの方法は、典型的には、エッチバック法の効果を軽減するために集積回路処理法に付加的なエッチストップ又は平坦化層の析出を包含する。このような方法の1つは、S. S. Cooperman et al. に対して発行されかつDigital Equipment Corporationに譲渡された、発明の名称“CHEMICAL MECHANICAL PLANARIZATION OF SHALLOW TRENCHES IN SEMICONDUCTOR SUBSTRATES”の米国特許第5,494,857号明細書に記載されている。この特許に基づくプロセスフローは、STI含有半導体基板上への窒化ケイ素の層の析出、それに引き続く酸化物、エッチストップの薄膜、及び第2の酸化物の層の表面構造に従った被膜の析出を包含する。酸化物の第2の層は、フィラーマスクでパターン化されかつシリコンエッチストップ層までエッチングされている。次いで、残りの酸化物を窒化ケイ素層までポリシングするためにCMP技術が適用される。同様な方法は、J. D. Haskell et al. に対して発行されかつAdvanced Micro Devices, Inc. に譲渡された、発明の名称“METHODS OF PLANARIZATION OF TOPOLOGIES IN INTEGRATED CIRCUIT STRUCTURES”の米国特許第4,962,064号明細書に記載されている。

【0012】付加的なエッチストップの使用は、有利にも高度に平坦化された表面トポグラフィーを有する集積回路構造の製造を可能にした。しかしながら、この利点は、一定の費用をかけて達成される。付加的なエッチストップ層は、形成のために付加的な処理工程を必要とし、従って集積回路製造の全体的コストを高くする一方効率を常に減少させる。

30 【0013】

【発明が解決しようとする課題】従って、本発明の課題は、ギャップなくSTIトレンチに充填し、かつ、複雑な処理工程又はエッチストップの付加を必要としない改良されたプロセスフローを提供することである。

【0014】

【課題を解決するための手段】基板の表面上に形成されたデバイス構造の間にアイソレーションを形成するための方法を含むデバイスを製造する方法を提供する。該方法は、基板の表面に活性領域及び不活性領域を形成しかつ不活性領域内にアイソレーショントレンチを形成することよりなる。如何なるギャップ又は空隙なしでトレンチを有効に充填する、酸化物のような絶縁材料を基板の表面上に形成する。絶縁層の一部分を選択的に除去し、それにより活性領域を露出させる引き続いての平坦化を短縮することが可能になる。活性領域を露出させるために必要な時間量を短縮することにより、アイソレーショントレンチ内の絶縁材料の腐食が有効に減少せしめられ、実質的に均一なトポグラフィーが製造される。

【0015】

50 【実施例】次に、図面を参照して実施例により本発明を

詳細に説明する。

【0016】本発明は、実質的にギャップを有しない酸化物を集積回路構造のSTI領域に充填するための改良された方法、及び酸化物腐食を減少させるためにCMP工程を短縮する平坦化法を提供する。ここに記載する処理工程及び構造は、必ずしも集積回路を製造するための完全なプロセスフローを構成するものではないことに留意されるべきである。本発明は、当業界で通常使用される集積回路製造技術と関連して実施できることは自明である。従って、本発明による方法を理解するために必要である処理工程のみを以下に記載する。

【0017】本発明の一実施例を、図4に示されたような部分的に完成した集積回路構造30で開始して説明する。構造30は基板40上に形成されており、該基板は例えばシリコンのような半導体材料よりなる。該基板自体は、別の層の上に積層された構造を有する層であってもよい。説明のために、このような構造を一般的にここでは基板と称する。活性領域50及び51及び不活性領域48は、例えばホトレジストマスク（図示せず）又は同等のホトリソグラフィ技術を使用して表面上に形成されている。一般に、デバイスは活性領域内部又はその上に形成される。デバイスを分離するために、不活性領域内にシャロートレンチ44及び46が形成されている。該シャロートレンチは、例えば表面から基板の一部分をエッチング又は除去することにより形成される。ホトレジストマスクング及び半導体基板内にトレンチをエッチングする方法は当業者に周知であるので、ここで更に説明しない。

【0018】典型的には、ホトレジストマスクは、集積回路構造30の活性領域50及び51を被覆し、該活性領域を、集積回路30内の不活性領域48内でトレンチ44及び46がエッチングされる間に同時にエッチングされることを防止する。集積回路構造においては、活性成分は一般に寸法が変動する。従って、活性領域の寸法もまた変動する。図示のように、活性領域51は狭い領域を有し、かつ活性領域50は幅広い領域を有する。また、活性領域の寸法の変化に基づき、シャロートレンチは、比較的狭いトレンチ44又は幅広いトレンチ46を有することができる。活性領域及びシャロートレンチの実際の寸法は重要でない。高い構成部品密度を有する集積回路構造を製造することが所望されるので、狭いトレンチは典型的には、ほぼ最小の特徴寸法又は基本原理に相当し、一方幅広いトレンチは最小特徴寸法よりも大きいものに相当する。従って、基板40の表面形状は、変動幅のトレンチ44及び46によって分離されたほぼ一定の高さの活性領域50及び51を含む。

【0019】一般に、44及び46のようなシャロートレンチが半導体ウェーハ内に形成される場合は、その目的は該トレンチに誘電体を充填すること及びシャロートレンチを有する平坦な又はプレーナ基板を得ることであ

る。誘電体は任意の誘電体又は誘電体に変換可能な材料であってよい。このような材料は、シリコン、窒化ケイ素、酸化ケイ素、窒素を注入したシリコン及び同種のことを包含する。図5は、基板の表面上に形成された酸化物層52を示す、従ってシャロートレンチに誘電体が充填されている。酸化物層の形成は、高密度プラズマ源（HDP-CVD）を使用したプラズマ強化化学気相成長により達成される。このようなHDP-CVD技術は、例えば、誘導結合プラズマ源の使用を利用する。HDP-CVD技術は、Francombe, "Physics of Thin Film" Academic Press (1994)に記載されている。

【0020】HDP-CVD技術の使用は、有利に、実質的に如何なるギャップを有せずにシャロートレンチを充填する。前述のとおり、熱酸化及びCVD技術を包含するシャロートレンチの通常の充填技術は、シャロートレンチ内にギャップを形成する。従って、HDP-CVD技術は、一般的に通常のトレンチ充填技術と関連してシャロートレンチ内のギャップの形成を減少又は排除する。電子サイクロトロン及びヘリコン波励起プラズマ技術もまた酸化物層を析出させるために有効である。このような技術は、Francombe, "Physics of Thin Film" Academic Press (1994)に記載されている。

【0021】なお図5について説明すれば、HDP-CVD酸化物層52は半導体基板40の表面を完全に覆っていることを見て取ることができる。HDP-CVD酸化物層52は、シャロートレンチ44及び46に完全に充填するのに十分な厚さを有する。シャロートレンチの充填は、また、基板の表面を被覆する。図5から分かるように、HDP-CVD技術は、アレー内に均一な充填形状を提供する。活性領域50及び51の上では、HDP-CVD酸化物は、角をなしてシャロートレンチから突出しており、該酸化物が基板の表面を覆うように、ほぼ傾斜したエッジ55及び56を形成する。図示されているように、傾斜エッジは、狭い活性領域51上に小さい酸化物三角形部54を形成する。幅広い活性領域50上の酸化物層52は、ほぼ相補的な傾斜エッジ55及び56と平坦な中央部分58とからなる。幅広い活性領域50上の相補的エッジ55及び56は合一して三角形を形成しないが、それにもかかわらずこれらの領域における酸化物層は形状が三角形である。

【0022】独特の三角形の形状54及び57は、HDP-CVD工程中に起きる現場（insitu）スパッタリングに基づく。このような三角形形状は、通常の熱又はCVD技術により形成される酸化物層には観察されない。該三角形形状の不在は、通常の析出工程の相似性に基づき、谷及び凹を有するトポグラフィを生じる（図1〜3に関する前述の説明参照）。

【0023】しかしながら、三角形部54の形成は重要なことでなくかつ説明の目的のために示されていることに留意されるべきである。酸化物層が活性領域の上に三

角形部を形成するかどうか、即ち2つの相補的傾斜エッジ55及び56が合一するかどうかは、活性領域の幅及び酸化層の厚さ次第である。例えば、若干の狭い活性領域は、相補のエッジが合一するのに十分な狭さでなくてもよい。従って、酸化物層の形状は、より狭い平坦な中央部分を別として幅広い活性領域の上に位置する形状に類似した三角形形状になることもある。

【0024】図6及び7は、本発明による集積回路構造30の一部分のSEM写真である。該写真は、誘導結合プラズマ源によって析出されたHDP-CVD酸化物層52が充填されたSTI構造を示す。図6は狭いタイプの単一のSTIに焦点を合わせたものであり、一方図7はこのようなSTIのアレーを示す。HDP-CVD酸化物層52の優れたギャップフィル、及び基板40の上の小さい活性領域50に残った小さい三角形部54に注目されるべきである。基板40及び狭い活性領域44も写真で明確に見て取ることができる。

【0025】次いで、活性領域を露出させるために酸化物層を平坦化する。STI上の三角形形状の酸化物領域は、平坦化法におけるCMP工程を短縮せしめる。CMP工程の目的は、基板の表面をポリシングして(1)活性領域を露出させるために酸化物層を除去すること、及び(2)均一なプレーナトポグラフィーを得ることである。ポリシング工程の短縮は、STIトレンチ内の酸化物腐食を減少させ、それにより通常の平坦化法により惹起される表面における非平坦性が回避される。若干の実例においては、CMP工程の短縮はまた長時間のCMP工程で起こり得る狭い活性領域の腐食をも減少させる。以下の説明から明らかなように、STIフィルとしてHDP-CVD酸化物を使用することは有利にもSTI内の酸化物の高さを、CMP除去によってではなく、析出工程により実質的に決定することを可能にする。

【0026】CMP工程の継続時間は、活性領域を露出させるために酸化物を除去するために必要とされる時間に依存する。図5に戻って説明すると、幅広い活性領域50上の酸化物の量は狭い活性領域51上よりも多いことが明らかである。従って、CMP工程の継続時間は典型的には幅広い活性領域を露出させるために要する時間に基づく。しかしながら、先に説明したように、幅広い活性領域を露出させるため通常のCMP工程のために必要とされる時間は、一般に長すぎ、かつ幅広いSTI内の過剰の酸化物腐食を引き起こす。また、CMP工程は狭い活性領域をオーバーポリシングし、その内部に腐食を惹起することがある。結果として、平坦でないトポグラフィーが形成される。

【0027】本発明によれば、STI及び狭い活性領域の過剰腐食を回避するために、CMP工程が短縮される。一実施例においては、CMP工程の短縮は、活性領域上の三角形形状の酸化物領域から酸化物の一部を選択的に除去することにより達成される。活性領域を露出さ

せるために除去することが必要な酸化物の量を減少させることにより、相応するCMP工程は短縮される。典型的には、活性領域から除去される酸化物の量は、活性領域がSTI内に過剰の酸化物を惹起することなく、従って実質的に平坦な表面が生じるように露出されるように、CMP工程を効果的に短縮するために十分な量である。

【0028】典型的には、狭い活性領域51の上の三角形部54における酸化物を除去するために必要な量は、STI内の実質的に平坦な表面を生じるためには十分に短い。従って、幅広い活性領域50上に残る酸化物の量は、三角形部54内の量を上回るべきでない。酸化物領域52における中央部分を除去する場合には、その後に残る側部のそれぞれは三角形部54内の酸化物を量を越えるべきでない。

【0029】図8～10は、集積回路構造30の活性領域から酸化物層の一部の除去を示す。活性領域50及び51を露出させるために、HDP-CVD酸化物層52の部分を除去する。図8に示されているように、活性領域を露出させるために、HDP-CVD酸化物層52の上にホトレジスト層60を形成しかつパターン化する。一実施例では、HDP-CVD酸化物層を形成しかつパターン化するために逆の活性領域マスク(図示せず)を使用する。このようなマスクは、活性領域を形成するために使用されるマスクのネガティブマスクである。該逆マスクをバイアス(bias)するための技術は、当業者に周知である。典型的には、リソグラフィ法と関連したオーバーレイ誤差が生じる。このオーバーレイ誤差を補償するために、逆マスクをバイアスさせる。バイアス量は、HDP-CVD酸化物層の傾斜エッジ55及び56上にホトレジストのエッジをシフトさせるために十分な量である。許容最大バイアスは、CMP工程の性能に依存する。

【0030】典型的には、該バイアスは、ほぼホトレジストのエッジを傾斜エッジ上に効果的にシフトさせるのに十分な量と、ほぼ実質的に平坦な表面を有する活性領域を露出させるようにポリシング工程を効果的に短縮する量との間にある。一実施例では、バイアスの量は、酸化物層の傾斜エッジをほぼ覆う量まで、ホトレジストのエッジを傾斜エッジまでシフトさせるのに十分な量である。傾斜エッジを覆うことにより、三角形部54はホトレジストで覆われることとなる(図示せず)。その結果として、幅広い活性領域50の上の酸化物層の部分のみが除去されることになる。有利には、バイアスの量は、酸化物層の傾斜エッジの約5～95%を覆うためにマスクを効果的にシフトさせるために十分な量である。より有利には、バイアスの量は、酸化物層の傾斜エッジの約10～90%を覆うためにマスクを効果的にシフトさせるために十分な量である。更により有利には、バイアスの量は、酸化物層の傾斜エッジの約25～85%を覆うた

めにマスクを効果的にシフトさせるために十分な量である。最も有利には、バイアスの量は、酸化物層の傾斜エッジの約20～80%を覆うためにマスクを効果的にシフトさせるために十分な量である。

【0031】0.25 μ mの基本原理を有する構造を有するデバイスにおいて、このリソグラフィ工程のためにはオーバーレイは重要ではないので、中紫外線(MUV)リソグラフィ技術を使用することもできる。逆バイアス下領域マスクの使用は、有利にも活性領域を露出させるために新たなマスクを無闇に製造する必要性を排除する。次いで、ホトレジストにより保護されていない酸化物層52の領域を適当なエッチング技術(例えばRIE)を使用してエッチングする。該RIEエッチング工程は、酸化物選択性である。酸化物選択性RIEを使用することによって、シリコン基板及びレジストはエッチストップとして作用する。従って、RIEはHDI-CVD酸化物層52のみを除去し、ホトレジスト層60によって覆われていない領域上の半導体基板表面を露出させる。

【0032】図9に示されているように、RIEエッチング法は、活性領域に重なるHDP-CVD酸化物層の部分を除去する。また、HDI-CVD酸化物層52の楔形部分62はRIEエッチング工程後に活性領域のエッジの表面に残っていることを見取することができる。これらの楔形部分62は、引き続いてのCMP工程で除去される。

【0033】次いで図10に関して説明すれば、該図面には集積回路平坦化法における次の工程が示されている。前記のホトレジストマスクは、アッシング又は類似した方法を使用して除去されている。これらの方法は、当業者に周知であり、ここでは更に説明しない。アッシング法は、ホトレジストマスク層のみを除去し、半導体基板40の表面に楔形HDI-CVD酸化物部分62を残す。次いで、生じた構造を最終的CMP工程で処理し、残りのHDI-CVD酸化物構造62の全てを除去し、それにより高度に平坦化されたトポグラフィが半導体基板に残る。HDI-CVD酸化物構造の小さい寸法に関する前記の技術において行われた工程に基づき、この特殊なCMP工程を短縮することができ、ひいてはSTIトレンチ、特に幅広いSTIトレンチ内の酸化物腐食を最小にすることができる。

【0034】次いで、図11に関して説明すれば、集積回路構造の最終的に平坦化された半導体基板が示されている。図面から推知され得るように、集積回路30の半導体基板40の上面は、HDI-CVD酸化物充填シャロートレンチアイソレーショントレンチ72の上面を基準として実質的に平坦である。CMP工程は短時間であるので、該工程は、STI内の酸化物の高さを決定するHDI-CVD酸化物析出工程であって、CMP除去工程ではない。このことは従来の技術の方法に比較すると

有利である。それというのも、STIからの酸化物の過剰腐食を生じる長時間のCMP時間に基づくオーバーポリシングの問題を回避するからである。本発明による集積回路構造30がデバイスアイソレーションを可能にするSTI領域を有する高度に平坦化された表面構造をもって提供された後、次いで更に公知の集積回路技術に基づき処理することができる。

【0035】今や明らかにされたように、本発明は実質的に集積回路製造法における従来の技術のギャップフィル及び平坦化法と関連した多くの問題点を克服する。誘導結合プラズマ源によって析出されたHDI-CVD酸化物層は、基板のSTI領域に絶縁酸化物層を提供する。絶縁層は、これらの領域をギャップなして充填し、一方同時に三角形形状の表面構造を形成する。次いで、三角形構造の部分を除去し、引き続いてのCMP工程を短縮する。更に、CMP工程は短縮され得るので、従来の技術の酸化物腐食と関連した問題は実質的に回避される。

【0036】ここに記載した実施例は単に例示に過ぎず、当業者にとってはここに記載した部材と機能的に等価の部材を利用して上記実施例を適当に変更及び修正できることは自明のことである。例えば、本発明は、同じ又は異なった横方向の間隔によって分離された、ほぼ一定の高さの領域を有する任意の表面形状に対して同等に適用可能である。また、平坦化すべき基板の出発表面形状はウェーハ製造工程の多数の異なった工程の任意の1つであってもよいことに留意されるべきである。トレンチを分離する領域は、ここに記載のように、活性領域を表してもよく、又は集積回路構造に存在することが知られている島もしくはその他の構造であってもよい。このような任意のかつ全ての変更又は修正並びに当業者に明白となるようなその他の手段は、本願の特許請求の範囲により定義される発明の範囲内に包含されるものである。

【図面の簡単な説明】

【図1】熱CVD法により酸化物が充填された典型的な集積回路構造の一部における種々の幅のシャロートレンチアイソレーション構造を示す断面図である。

【図2】酸化物層の部分を除去するエッチバック工程を実施した後の図1の集積回路構造を示す断面図である。

【図3】図2に引き続いた通常のCMP工程後の集積回路構造を示す断面図である。

【図4】本発明による方法の有利な実施例に基く最初の製造工程における集積回路構造の部分を示す断面図である。

【図5】図4に引き続いた処理工程後の集積回路構造の部分を示す断面図である。

【図6】本発明による方法に基づき製造された集積回路構造のHDP-CVD酸化物充填STI領域を示すSEM写真であり、狭いタイプの単一のSTIを示す。

12

造の部分を示す断面図である。

【符号の説明】

30 集積回路構造、 40 基板、 44, 46 シャロートレンチ、 48 不活性領域、 50, 51 活性領域、 52 HDP-CVD酸化物層、 54 酸化物三角形部、 55, 56 傾斜エッジ、 57 平坦な中央部分、 60 ホトレジスト層、 62 楔形部分、 72 HDP-CVD酸化物充填シャロートレンチアイソレーショントレンチ

10

【図 2】

(従来の技術)

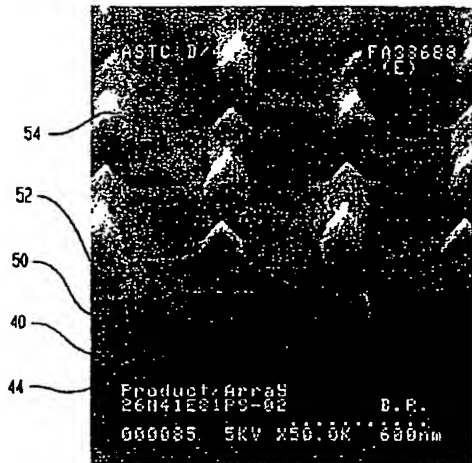
A cross-sectional diagram of a semiconductor device. It shows a substrate 10 with a top layer 12. On the left, there is a recessed region 14 with a vertical wall 22. To the right of this is a flat region 18. Further right is another recessed region 16 with a vertical wall 24. The bottom surface of the substrate 10 is irregular.

【図 4】

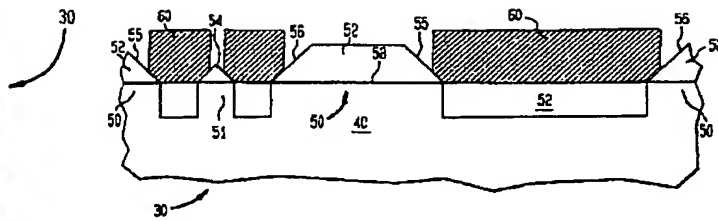
Figure 4 is a cross-sectional view of a device. It shows a base layer 30 with a top layer 40. On top of layer 40, there are two rectangular structures 44. Between these structures is a gap 51. The top surface of the structures is labeled 46. The bottom surface of the structures is labeled 48. The top surface of the base layer 30 is labeled 50. The bottom surface of the base layer 30 is labeled 5.

Figure 6 is a scanning electron micrograph (SEM) showing a cross-section of a semiconductor device. The image displays a layered structure with a central region labeled 30, which appears to be a trench or a cavity. The top surface is labeled 54, and the side walls are labeled 52. The bottom of the trench is labeled 50. The device is mounted on a substrate, which is labeled 40. A label 44 points to the bottom surface of the device. Text at the bottom of the image includes "Product Array", "26N41E31PS-02", "E.R.", "000036", "5KV", "X150K", and "200nm".

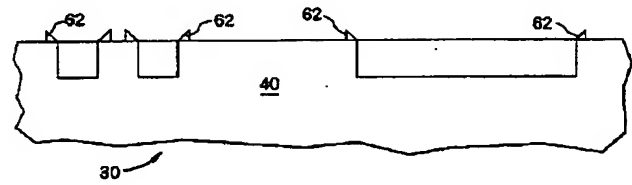
【図7】



【図8】



【図10】



【図9】

